

Docket No.: 67162-016

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tomoya OGAWA

Serial No.:

Group Art Unit:

Filed: July 03, 2003

Examiner:

For: NON-VOLATILE SEMICONDUCTOR DEVICE HAVING A MEANS TO RELIEVE A
DEFICIENT ERASURE ADDRESS

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

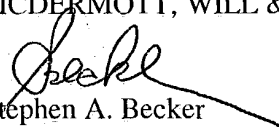
In accordance with the provisions of 35 U.S.C. 119, Applicant(s) hereby claims(s) the priority
of:

Japanese Patent Application No. 2003-17103, filed January 27, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker

Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mlw
Facsimile: (202) 756-8087
Date: July 3, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

67162-016

Tanaka OGAWA

July 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月27日

出 願 番 号

Application Number:

特願2003-017103

[ST.10/C]:

[JP2003-017103]

出 願 人

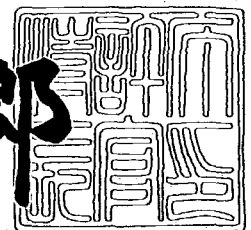
Applicant(s):

三菱電機株式会社

2003年 2月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010879

【書類名】 特許願

【整理番号】 542792JP01

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/16

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 小川 大也

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項1】 メモリブロックと、アドレス及びコマンドの入力により、前記メモリブロックの動作の制御を行うコントローラとを含む不揮発性半導体記憶装置において、

前記メモリブロック内で消去不良を生じた場合の冗長用として設けた冗長メモリブロックと、

入力されたアドレスを記憶するレジスタと、

メモリブロックに対して消去コマンドを入力した時に、消去不良を示す消去不良ステータスが前記メモリブロックから出力されたとき、前記レジスタに記憶していたアドレスおよび、前記アドレスに対する冗長アドレスとして前記冗長用メモリブロック内のアドレスを出力する冗長判定回路と、

前記アドレス及び冗長アドレスを記憶する冗長アドレス記憶手段とを備え、

前記コントローラに入力されたアドレスが前記冗長アドレス記憶手段に記憶のアドレスであったとき、そのアドレスを、冗長アドレス記憶手段に記憶していた冗長アドレスに置換することを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記冗長アドレス記憶手段は、上記メモリブロックからなる請求項1記載の不揮発性半導体記憶装置。

【請求項3】 上記冗長アドレス記憶手段は、ヒューズ式メモリである請求項1記載の不揮発性半導体記憶装置。

【請求項4】 上記消去不良ステータスの出力回数をカウントし、所定回数をカウントした時に、上記冗長判定回路が上記アドレスおよび冗長アドレスを出力する請求項1～3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】 上記冗長アドレスへの置換は、外部よりの置換コマンドが入力されたときに行う請求項1～4のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】 当該フラッシュメモリがマルチチップパッケージであるとき、あるチップで冗長用メモリブロックでの記憶エリアが不足したとき、別のチップにある冗長用メモリブロックを流用する請求項1～5のいずれかに記載の不揮

発性半導体記憶装置。

【請求項7】 当該フラッシュメモリがマルチチップパッケージで、あるチップが使用不能の時、正常なチップでの冗長用メモリブロックでの記憶エリアが不足したとき、前記使用不能のチップ内にある正常なメモリブロックを流用する請求項1～5のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、消去不良のメモリブロックを自動的に冗長用のメモリブロックに置換できるようにした不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】

不揮発性半導体記憶装置の一種であるフラッシュメモリは、繰返して書き換えが行え、かつ、電源オフ後も記憶データを保持しているという特徴を持つために、外部記憶装置として多用されている。但し、上書きが行えないために、新たにデータを書き込むには記憶データを消去してからデータを書き込むようになっている。

【0003】

消去コマンドによりメモリセルのデータを消去した時に、あるメモリブロックで消去できなかった時は、そのメモリブロックから消去不良を示す消去不良ステータスが出力されるだけなので、次のデータ消去時にもその不良のメモリブロックに消去コマンドが送出される結果、消去不良ステータスが出力されてしまう。

【0004】

そこで、このようなフラッシュメモリにおいて、記憶領域の一部が破壊したときに、その領域へのデコードが行われないように、デコードの内容を書き変えるようにして信頼性を向上させたものがある(例えば特許文献1参照)。

【0005】

【特許文献1】

特開2001-188712号「記憶装置の制御方法」（請求項1、図1）

【0006】

【発明が解決しようとする課題】

しかしながら、特許文献1のものは、メモリチップへの書き込み等の制御を行うシステム全体で信頼性向上をさせるものであるため、メモリデバイス全体の大幅な設計変更が必要となり、また、個々のフラッシュメモリ毎に設計変更が必要となった。

【0007】

この発明は、不良チップの置換を行えるようにしたフラッシュメモリを、メモリデバイス自身への設計変更を最小限で実現することを目的とする。

【0008】

【課題を解決するための手段】

フラッシュメモリは、メモリブロックおよび、アドレス及びコマンドの入力により、前記メモリブロックに消去などを行うコントローラからなる。本発明では、冗長用メモリブロックと、入力されたアドレスを記憶するレジスタと、前記メモリブロックに対してコマンドを消去した時に、消去不良を示す消去不良ステータスが出力されたとき、前記レジスタに記憶していたアドレスおよび、前記アドレスに対する冗長アドレスとして、前記冗長用メモリブロック内のアドレスを出力する冗長判定回路と、前記アドレス及び冗長アドレスを記憶する冗長アドレス記憶手段とを更に備える。そして、前記コントローラに入力されたアドレスが前記冗長アドレス記憶手段に記憶のアドレスであったとき、そのアドレスを、冗長アドレス記憶手段に記憶していた冗長アドレスに置換する。

【0009】

【発明の実施の形態】

実施の形態1.

図1に本発明の実施の形態1によるフラッシュメモリ10の内部ブロック図を示す。外部から入力された信号に基づいてコマンド及び動作指示を解析し、フラッシュメモリの内部動作を制御するコントローラ11によって、メモリブロック12a～12cへの書き込みや消去が実行される。図1ではメモリブロック12

cを、メモリブロック内で消去不良を生じた場合の冗長用として、冗長用ブロックとして用いている。メモリブロック12bを消去するには、コントローラ11を通じ、消去コマンド入力部16より入力した消去コマンドを、アドレス入力部17より入力したアドレスに従って、そのメモリブロック12bに送る。そのメモリブロック12bが消去不能な不良ブロックであると、その不良ブロック12bより消去不良ステータスが外部に出力される。

【0010】

以上が従来のフラッシュメモリの動作であり、そのため、不良ブロック12bに対して消去コマンドを送る毎に消去不良ステータスが出力されていた。

【0011】

本実施の形態1では、アドレス入力部17より入力したアドレスを記憶するレジスタ13と、消去不良ステータスが出力された時に、レジスタ13に記憶していたアドレスおよび、このアドレスに対する冗長アドレスAとして、冗長用ブロック12c内のアドレスを出力する冗長判定回路14と、冗長判定回路14から出力されたアドレスおよびそれに対応する冗長アドレスAを記憶する専用記憶領域15とを備える。この専用記憶領域15は、電源オフ後も記憶データが消えないように、メモリブロック12と同様のフラッシュメモリで形成される。この専用記憶領域15で記憶された冗長アドレスAは前記コントローラ11で読み出される。

【0012】

以上の構成によるフラッシュメモリ10において、アドレス入力部17より不良ブロック12bに対してアドレス[a]を指定して消去コマンドを入力すると、既述したように、その不良ブロック12bから消去不良ステータスが出力されると共に、そのアドレス[a]および前記冗長アドレスAが専用記憶領域15に記憶される。

【0013】

その後、アドレス入力部17より前記アドレス[a]を指定して消去コマンドを入力すると、コントローラ11は、そのアドレス[a]が専用記憶領域15に記憶されているかを調べ、記憶されている場合は、そのアドレス[a]に対応する

冗長アドレスAを読み出し、アドレス[a]に対して置換した冗長アドレスAに対して消去コマンドが送出される。

【0014】

このようなアドレスの置換により、不良ブロック12bは冗長用ブロック12cに代替され、その冗長用ブロック12cに対して消去やデータの書き込みが行われる。

【0015】

実施の形態2.

実施の形態1では、冗長アドレスAの記憶に、フラッシュメモリを構成するメモリブロックの一部を専用記憶領域15を用いていたが、図2に示す実施の形態2によるフラッシュメモリ20では、ヒューズ式メモリ21を別途備え、それに記憶するようにしている。動作としては図1のものと同一である。実施の形態1ではメモリを転用できるため、メモリデバイス自体の構成変更を少なくできる。実施の形態2では、安価で簡単な構造のなヒューズ式メモリを使用できる。

【0016】

実施の形態3.

図3に本発明の実施の形態3によるフラッシュメモリ30の内部ブロック図を示す。この図3において、図1と異なる個所は、出力された消去不良ステータスの回数をカウントし、所定回数をカウントした時に、冗長判定回路14に所定の信号を送出するカウンタ17を備える。

【0017】

冗長判定回路14は、カウンタ17より前記所定の信号が出力された時、レジスタ13に記憶していたアドレスおよび、そのアドレスに対する冗長アドレスAとして冗長用ブロック12c内のアドレスを専用記憶領域17に送出する。これ以降の動作は図1の場合と同じである。

【0018】

メモリチップは偶発的に消去不良になることがあり、そのような消去不良ステータスに従って、冗長用ブロックに置換を行っていると、冗長用ブロックの記憶エリアが不足してしまう。そこで、実施の形態3では、所定回数にわたって消去

不良ステータスが出力された場合に永久的な不良ブロックであると判定して、そのブロックを冗長用ブロックに置換している。

【 0 0 1 9 】

実施の形態 4.

以上の各実施形態では、消去不良ステータスが出力されると、不良ブロックを冗長用ブロックに自動的に書き換えるものであったが、必要な場合のみ手動によって冗長置換したい場合もある。その場合の回路構成を実施の形態 4 として図 4 に示す。このフラッシュメモリ 4 0 では、置換コマンド入力部 4 1 より置換コマンドを、消去不良が発生したアドレスと共に入力すると、レジスタ 1 3 に格納された前記アドレスと、それに対する冗長アドレス A が専用記憶領域 1 7 に書き込まれる。この後は、上述の実施形態の場合と同様で、不良ブロック 1 2 b が冗長用ブロック 1 2 c に置換される。

【 0 0 2 0 】

実施の形態 5.

図 5 に本発明の実施の形態 5 によるフラッシュメモリ 5 0 の内部ブロック図を示す。このフラッシュメモリ 5 0 は、5 0 a および 5 0 b の二つのチップをパッケージ化したマルチチップパッケージ (MCP) のものである。それぞれのチップは図 1 のものとほぼ同じ構成であり、それぞれのチップに、上述した置換技術を適用することもできるが、この実施の形態 5 では、例えば一方のチップで冗長用ブロックでの記憶エリアが不足したとき、他方のチップにある冗長用ブロックを流用できるように、両チップ間に信号線がクロスして配線されており、また、チップ選択のためのチップセレクト入力部 5 1 を備える。

【 0 0 2 1 】

これにより、例えばチップ 5 0 a 側の不良ブロック 1 2 b で消去不良ステータスが出力されたときに、この不良ブロック 1 2 b を置換する冗長用ブロック 1 2 c に記憶エリアが残されていない場合、冗長用判定回路 1 4 は、レジスタ 1 3 に記憶していたアドレスを、置換対象のアドレスとしてコントローラ 1 1 に送出する。

【 0 0 2 2 】

そのコントローラ 11 は、その置換対象のアドレスを他方のチップ 50 b のコントローラ 111 に送出する。そのコントローラ 111 は、その置換対象のアドレスを冗長用判定回路 114 に送出する。その冗長用判定回路 114 は、その置換対象のアドレスと、そのアドレスに対する冗長アドレス A として、専用記憶領域 117 内のアドレスを専用記憶領域 117 に書き込む。

【0023】

この後に、再びチップ 50 a 内の不良ブロック 12 b のアドレスが指定され、消去コマンドが送られた時、コントローラ 11 は、そのアドレスが専用記憶領域 117 に格納されているか、他方の専用記憶領域 117 に格納されているかを調べる。

【0024】

この場合、前記アドレスは専用記憶領域 117 に格納されているので、そのアドレスは、前記専用記憶領域 117 に記憶されていた冗長アドレス A に置換されることにより、チップ 50 a 内の不良ブロック 12 b は、他方のチップ 50 b 内の冗長用ブロック 112 c に代替され、その冗長用ブロック 112 c が消去される。

【0025】

このような構成であれば、冗長用ブロック 12 c および 112 c の合計容量を低減することができ、冗長効率が向上する。

【0026】

実施の形態 6.

図 6 に本発明の実施の形態 6 によるフラッシュメモリ 60 の内部ブロック図を示す。このフラッシュメモリ 60 は、図 5 のものと同様に二つのチップをパッケージ化したマルチチップパッケージ (MCP) であるが、一方のチップ 60 b は、不良ブロックが多いために、使用不可と見なされたパーシャルグッドダイである。しかし、そのようなチップであっても正常ブロックも残っている。そこで、他方のチップ 60 a で冗長用ブロック 12 c の使用エリアが不足した時、チップ 60 b にある正常ブロック 112 d を、チップ 60 a 冗長用ブロックとして使用する。このフラッシュメモリ 60 の回路構成としては図 5 のものと同じで動作も同

じである。

【0027】

尚、実施の形態1～6では、不揮発性半導体記憶装置としてフラッシュメモリについて述べたが、他のもの、例えば強誘電体メモリの Ferroelectric RAM (FRAM) や Magnetoresistive RAM (MRAM) 等についても同様に用いることができる。また、実施の形態5、6では、マルチチップパッケージを例に示したが、複数のフラッシュメモリ等が一体となって実装されて用いられるものであればよい。更に、コントローラとして、通常、ハードワイヤード形式のものが用いられるが、プログラムを内蔵してCPUにより制御してもよい。

【0028】

【発明の効果】

この発明によれば、不良のメモリブロックの冗長メモリブロックへの置換をメモリチップ内での処理によって行うようにしたので、メモリデバイス自身への設計変更を最小限にすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1によるフラッシュメモリの内部ブロック図

【図2】 本発明の実施の形態2によるフラッシュメモリの内部ブロック図

【図3】 本発明の実施の形態3によるフラッシュメモリの内部ブロック図

【図4】 本発明の実施の形態4によるフラッシュメモリの内部ブロック図

【図5】 本発明の実施の形態5によるフラッシュメモリの内部ブロック図

【図6】 本発明の実施の形態6によるフラッシュメモリの内部ブロック図

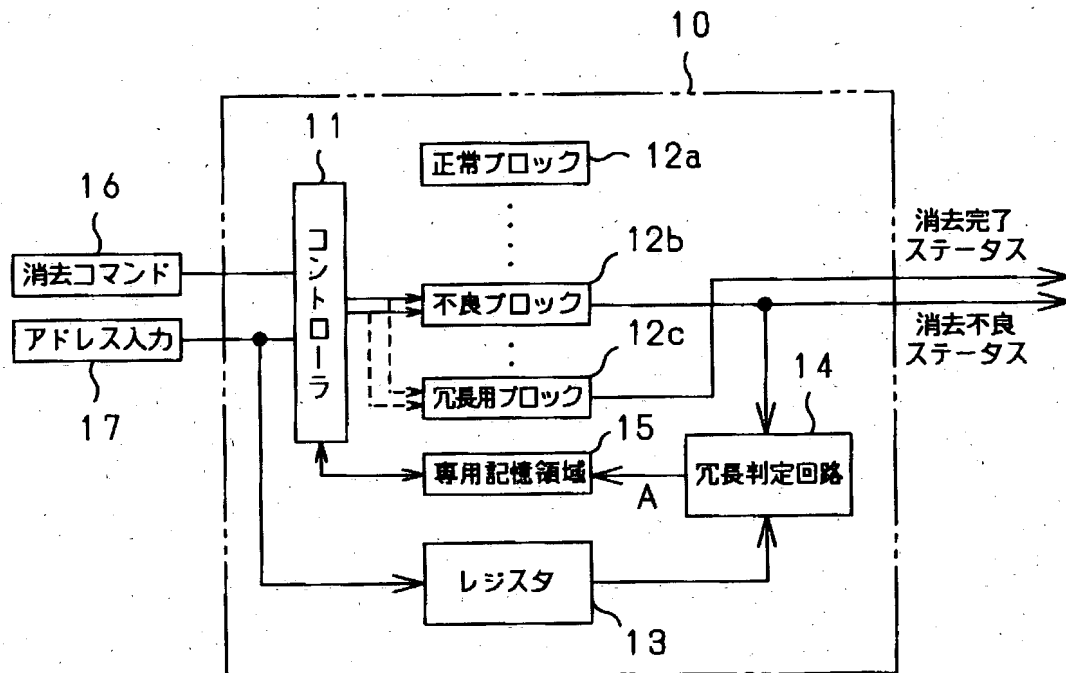
【符号の説明】

10 フラッシュメモリ、11 コントローラ、12(12a, 12b...) メモリブロック、13 レジスタ、14 冗長判定回路、15 専用記憶領域、16 消去コマンド入力部、17 アドレス入力部、21 ヒューズ式メモリ

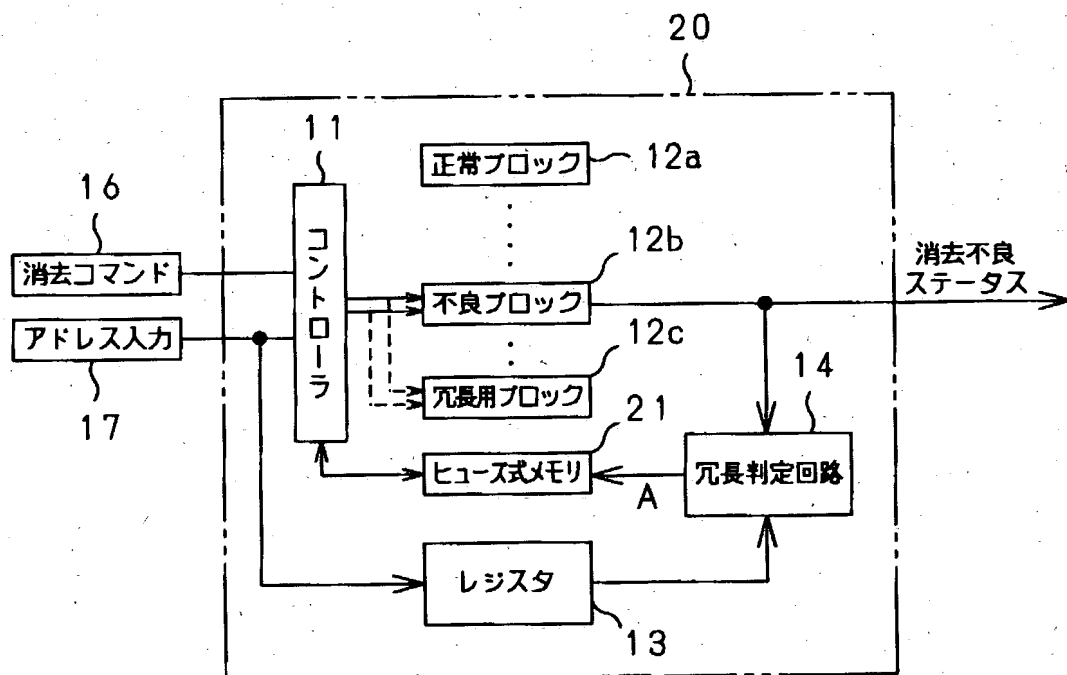
【書類名】

図面

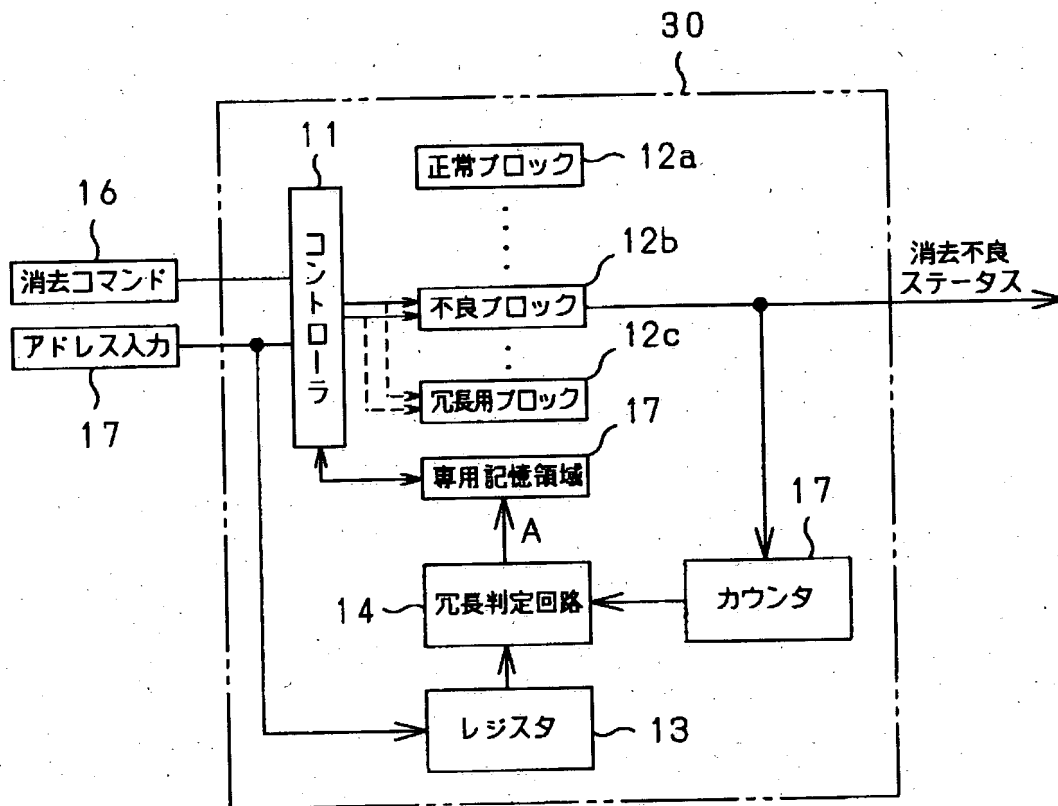
【図1】



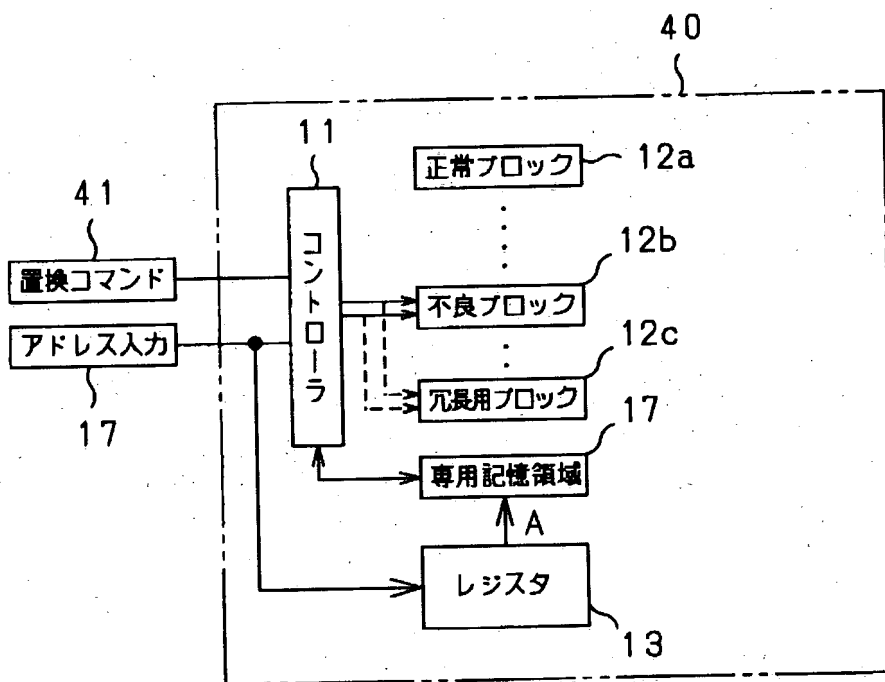
【図2】



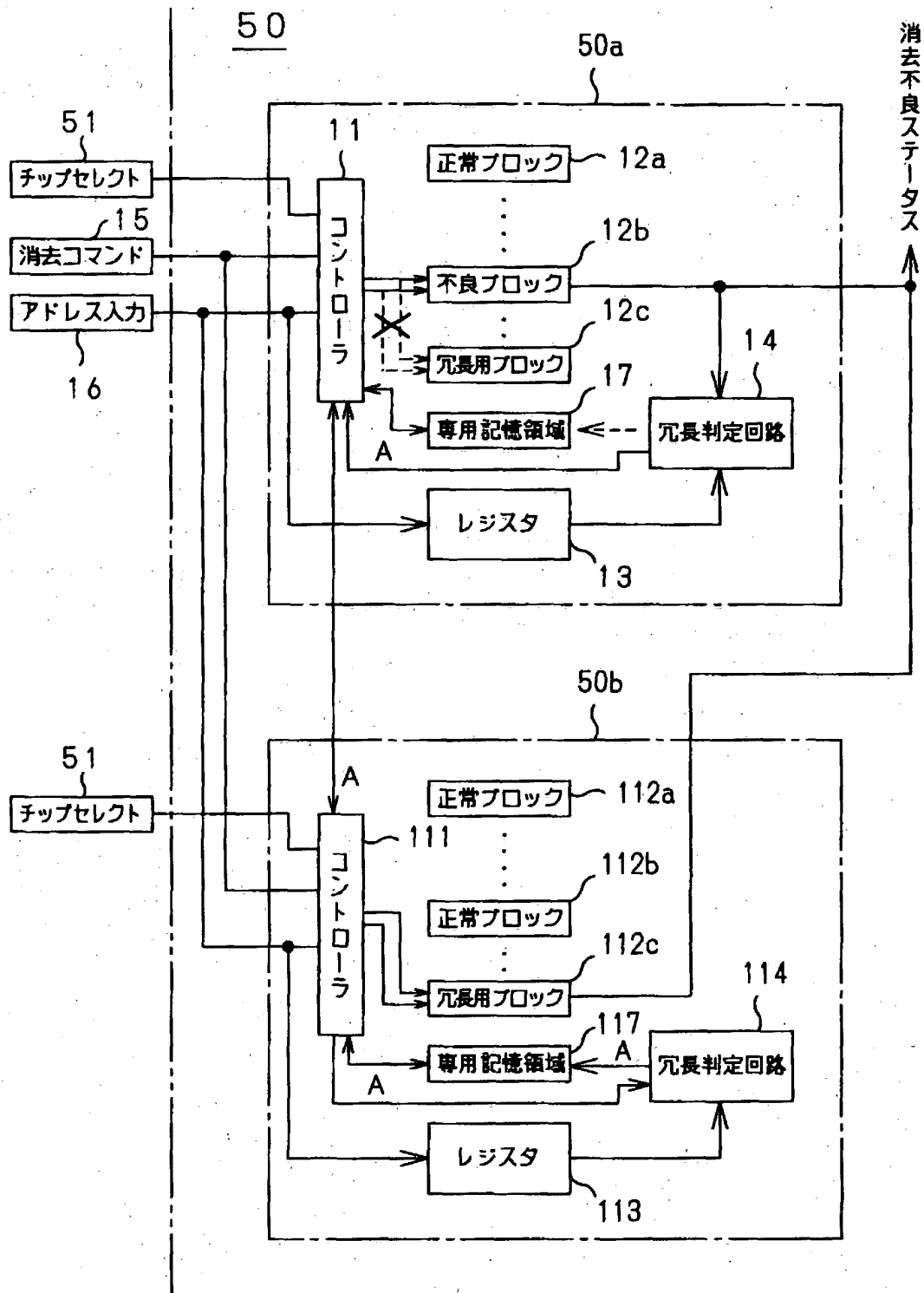
【図 3】



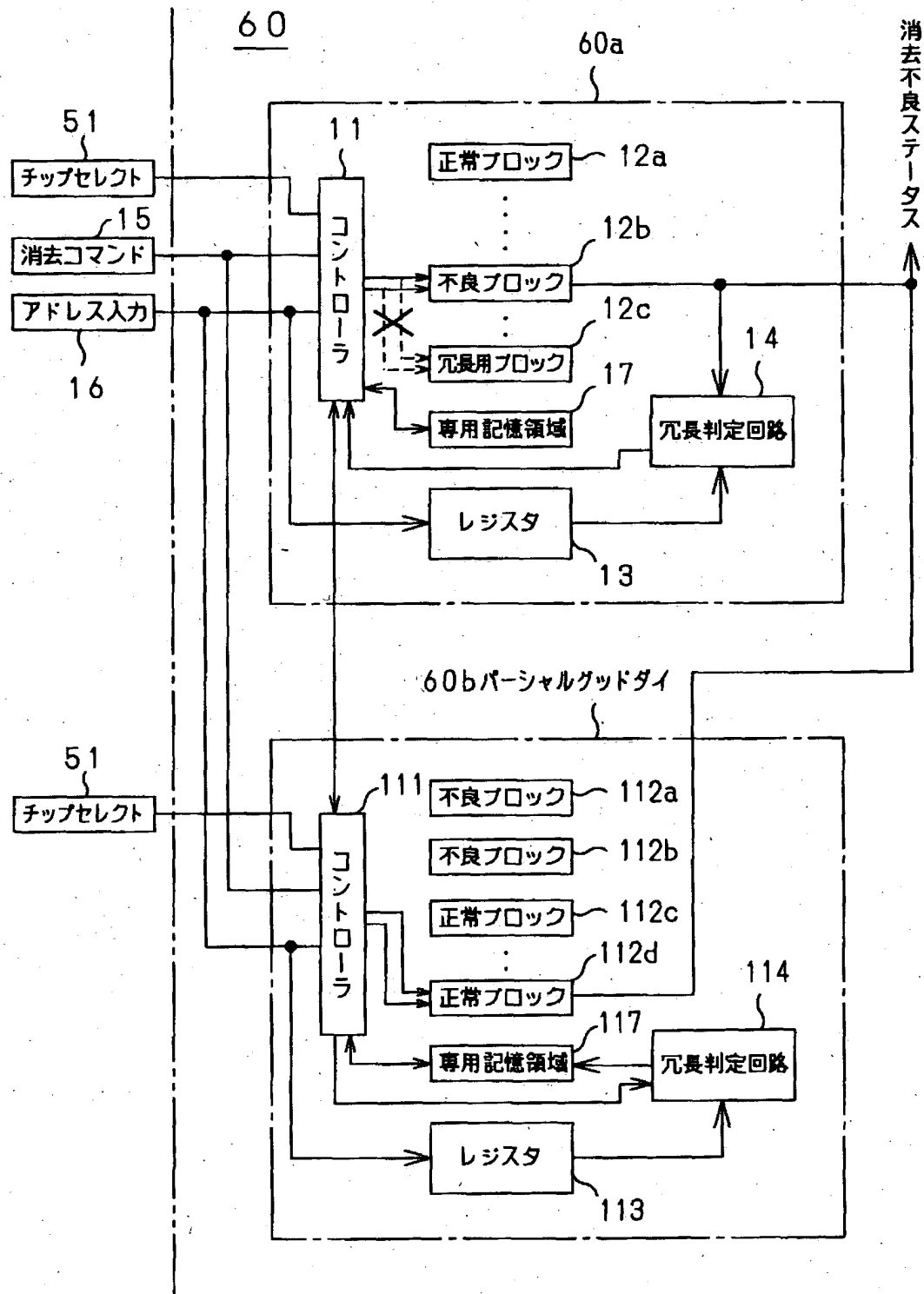
【図 4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 メモリチップへの書き込み等の制御を行う制御部での構成を変えるものであるため、大幅な設計変更が必要となり、個々のフラッシュメモリ毎に設計変更が必要となった。

【解決手段】 メモリブロック(12)と、前記メモリブロックに消去などを行うコントローラ(11)とからなるフラッシュメモリにおいて、あるメモリブロックに消去コマンドを入力した時に消去不良ステータスが出力された時、冗長判定回路(14)は、その時のアドレスと、そのアドレスに対する冗長アドレスとして冗長用ブロック(12c)内のアドレスとを、冗長アドレス記憶手段(15)に記憶する。以後、前記アドレスがアクセスされた時、そのアドレスは、冗長アドレス記憶手段(15)に記憶されていた冗長アドレスに置換されることにより、不良のメモリブロックが冗長用ブロックに代替される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社